

(13) 日本国特許庁 (JP)

① 公開特許公報 (A)

(11) 特開公報

特開平7-312405

(12) 公開日 平成7年(1995)11月26日

| (51) Inv.CI. | 登録記号 | 内審査番号 | F.I. | 出版表示箇所 |
|--------------|------|------------------------|------|--------|
| HOIL 23/50 | S | | | |
| 21/60 | 011 | 0 6911-08 | | |
| 21/211 | | | | |
| 23/18 | | A 8611-08 I 8611-08 | | |

審査請求 替候式 請求項の数 3 OL (全 5 頁) 送付費に附く

| | |
|--------------------------|--|
| (21) 出願番号 平成6-102369 | (21) 出願人 000006108 株式会社日立製作所 東京都千代田区麹町四丁目6番地 |
| (22) 出願日 平成6年(1994)5月17日 | (22) 出願人 000233169 株式会社日立マイコンシステム 東京都小平市上木本町5丁目22番1号 |
| | (22) 見明者 金本 光一 東京都小平市上木本町5丁目20番1号 株式会社日立製作所半導体部品部内 |
| | (22) 見明者 長田 陽文 東京都小平市上木本町5丁目22番1号 株式会社日立マイコンシステム内 |
| | (24) 代理人 井原士 長田 陽文 送付費に附く |

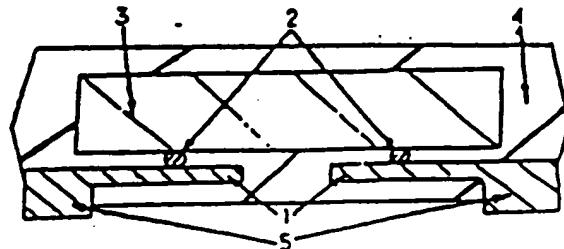
(50) 【発明の名前】半導体装置

(52) 【要約】

(目的) 半導体装置の基板実装における実装効率を向上すること。

(構成) 半導体チップとそれに電気的に接続された内部リードを樹脂で封止した半導体装置であって、自己半導体装置の封止部端部の底面もしくは、上面から内部リードの一端を突出させる。

図1



〔特許請求の範囲〕

〔請求項1〕 キズタチップとそれに充てて内蔵された内蔵リードを駆動で停止したキズタ装置であつて、前記キズタ装置の停止駆動部の底面もしくは、上部から内蔵リードの一端を突出させることを特徴とするキズタ装置。

〔請求項2〕 前記キズタチップと内蔵リードとはパンプを介して電気的連絡して止ることを特徴とするキズタ装置。

〔請求項3〕 前記キズタチップとそれに充てて内蔵された内蔵リードを駆動で停止して止るキズタ装置であつて、前記停止部の一端面に、それぞれのリードの底面の一端がレジンにより埋め込まれ、その奥に込まれたりード表面がキズタチップとの充てて内蔵リードをなし、それぞれリードの底面がレジンから露出し、その露出した底面が内蔵リードをカしていることを特徴とするキズタ装置。

〔発明の詳細な説明〕

〔0001〕

〔要旨上の利用分野〕 本発明は、半導体装置に適用して有効な技術に属するものである。

〔0002〕

〔従来の技術〕 従来の半導体装置には、一端に内蔵リードとキズタチップをワイヤで接続したものとパンプで接続するものがあり、それら内蔵リードはともにキズタ装置の停止駆動部の底面から突出した構造を有つ。

〔0003〕

〔発明が解決しようとする課題〕 本発明では、上記従来技術を改善した結果、以下の問題点を解消いたしました。

〔0004〕 既存のキズタ装置を用いたシステム回路等のダブルワイヤリングにはい、キズタ装置を用いた基板のサイズを縮小する必要が出てきた。このため、キズタ装置のサイズを縮小する等の改良がなされた。これにて基板サイズを縮小してきた。

〔0005〕 このキズタ装置の缩小は、主にキズタチップの縮小によりなされたものであり、内蔵リードはその縮小の対象とはなっていないかった。

〔0006〕 このため、要旨上のキズタ装置の内蔵リードが他の半導体に対する縮小効果になされていないのが実状である。

〔0007〕 したがって、従来のキズタ装置における内蔵リードは、一端にキズタ装置の停止駆動部の底面から突出した構造を行っていることから、その停止駆動部の底面から突出した内蔵リードのみだけ大きな面積を占有する。また、基板本文における大きさが大きいという欠点があった。

〔0008〕 本発明の目的は、キズタ装置の基板本文における大きさを向上することが可能となる技術である。

〔0009〕 本発明の特徴ならびにその他の特徴を以下に示す。

〔明細書〕 本明細書の2と並んで明細書によって明らかになるであろう。

〔0010〕

〔要旨と請求するための範囲〕 本願において明示された範囲のうち、外因的なものの影響を除くに付けてT2のとおりである。

〔0011〕 前記キズタチップとそれに充てて内蔵された内蔵リードを駆動で停止したキズタ装置であつて、前記キズタ装置の停止駆動部の底面もしくは、上部から内蔵リードの一端を突出させる。

〔0012〕

〔発明〕 上記した半導体によれば、キズタチップとそれに充てて内蔵された内蔵リードを駆動で停止したキズタ装置であつて、前記キズタ装置の停止駆動部の底面もしくは、上部から内蔵リードの一端を突出させることにより、キズタ装置の停止駆動部のうちの底面内に内蔵リードが入り、底面の内蔵リードの突出によって充分にとられた底面面積を確保できるので、キズタ装置の基板本文における大きさを向上することが可能となる。

〔0013〕 以下、本発明の構成について、文節別ととに説明する。

〔0014〕 なお、文節別と説明するための主語において、同一機械を示すものは同一符号を用い、その通りとしの説明は省略する。

〔0015〕

〔文節例〕 図1は、本発明の一次基板であるキズタ装置の構造を説明するためのものである。

〔0016〕 図1に示した本実施例のキズタ装置は長方形であり、図2に五万九千九百九十九分の内蔵リード、図3に底面側からみた断面図、図4に底面からみた平面図をそれぞれ示す。

〔0017〕 図1～図4において、1は内蔵リード部分、2はパンプ、3はチップ、4は底面封止部、5は内蔵リード部分をそれぞれ示す。

〔0018〕 本実施例のキズタ装置は、図1に示すように、リードに底面が付けられており、内蔵リードとして機能する内蔵リード部分1と内蔵リードとして機能する内蔵リード部分5とからなる。

〔0019〕 このリードの底面は、リードの内蔵リード部分1をハーフエッチしたり、リードを厚さに2倍以上まで削ることによって形成される。

〔0020〕 本実施例においては、内蔵リード部分1上に付けられた、例えばキズタよりなるパンプ2が付けられ、そのパンプ2を介してキズタチップ3と充てて内蔵されている。なお、このとその内蔵リード部分1とキズタチップ3を充てて内蔵するものをとして、キズタチップ3側にあらかじめ付けたパンプであってよい。また、ワイヤを用いてよい。

〔0021〕 そして、図2～図4に示した底面封止部4から突出する内蔵リード部分5は、基板本文に置かれると

それる。

(0022) これにより、女房、既存封止部の内蔵部から突出していたカギリードの部分だけ、又はスペースを切り取るなり、他の部品との干渉に陥り易てたりすることが可歎となる。

(0023) 丈に、図5を用いて、本実用新型の半蔵部底のリードフレームについて説明する。

(0024) 図5において、3Aは大きめの半蔵部チップ、3Bは小さめの半蔵部チップ、2Aは大きめの半蔵部チップと内部リード部分を作成するパンプ、2Bは大きめの半蔵部チップと内部リード部分を作成するパンプをそれぞれ示す。

(0025) 図5に示すように、本実用新型の半蔵部底のリードフレームの形状は、フレームの中心付近から内部リードが基板上に広がっている。

(0026) これにより、半蔵で示した最も大きなサイズの半蔵部チップである大きめの半蔵部チップ3Aを所定する場合でし、小さめの半蔵部チップ3Bを所定する場合でも、も半蔵部チップ3A、3Bのパンプ位置を内部リード1上の限界寸法範囲に変更し、その位置にパンプ2A、2Bを設けることで半蔵部チップ3A、3Bと内部リード部分1とを区別できる。このパンプ運用による内部リードと半蔵部チップとの寸法的な相違はワイド版では再現されない実用的な手段である。

(0027) すなわち、本実用新型のリードフレーム一つで多種の半蔵部チップを適用できる。

(0028) 丈に、本実用新型の他の本実用新型を図6と図7に示す。

(0029) 図6に示す半蔵部底の例は、前述の図1に示した半蔵部底の内部リード部分1とカギリード部分の段差をなくしたものであり、内部リードとカギリードを実用化したリードを有してある。すなわち、本実用新型によれば、リードの底面のはば2/3がレジンにより埋め込まれ、その埋め込まれたリード一端面(上面)が半蔵部チップとの電気的接続をなし、一方、リードの底面のはば1/3がレジンから露出、その露出した端面は実用部への接続端子、つまりカギリードとなる。

(0030) これにより、本実用新型における基板との接リードの接触部分の形状を容易でさうとしに、厚型化パッケージが得られる。リードフレームに段差をつりなくてもよくなる。

(0031) 図7に示す半蔵部底の例は、前述の図1に示した半蔵部底の半蔵部チップ3上に既存用フィン6を抜け、半蔵部チップから脱離せらる形を追加してやるものである。

(0032) なお、本実用新型は三方丸型の半蔵部底をそれぞれ取り上げたが正方丸型の半蔵部底についても

可歎である。

(0033) また、本実用新型のCOL (CHIP ON LEAD) 部分の半蔵部底は、既存からカギリードを突出させた例を取り上げたが、LOC (LEAD ON CHIP) 部分の半蔵部底においては、上記からカギリードを突出させる。

(0034) したがって、半蔵部チップとそれに寸法的に相違された内部リードを直角で対止した半蔵部底はあって、既存と同様の既存の封止部底部の底面もしくは、上記から内部リードの一端を突出させることにより、半蔵部底の封止部底部のさめる範囲内に外部リードが収まり、既存の外部リードの突出によって余分とされていた半蔵部底を縮小できるので、半蔵部底の基板実装における実用性を向上することが可能となる。

(0035) 以上、本実用新型によってなされた発明を、既存技術に基づき実用的に説明したが、本発明は、約既存技術に用いられるものではなく、その要旨を達成しない範囲において既存実用であることは明ニである。

(0036)

(発明の効果) 本件において表示される発明のうち代用的なものによって示される効果を簡単に説明すれば、下記のとおりである。

(0037) 本件はチップとそれに寸法的に相違された内部リードを直角で対止した半蔵部底である。既存と半蔵部底の封止部底部の底面もしくは、上記から内部リードの一端を対止させることにより、半蔵部底の封止部底部のさめる範囲内に外部リードが収まり、既存の外部リードの突出によって余分とされていた半蔵部底を縮小できるので、半蔵部底の基板実装における実用性を向上することが可能となる。

(既存の問題の改明)

(図1) 本実用新型の一実用例である半蔵部底の構造を説明するための図である。

(図2) 本実用新型の半蔵部底の側面図である。

(図3) 本実用新型の半蔵部底の側面図である。

(図4) 本実用新型の半蔵部底の底面から見た平面図である。

(図5) 本実用新型の半蔵部底におけるリードフレームの構造を説明するための図である。

(図6) 本実用新型の他の実用例である半蔵部底の構造を説明するための図である。

(図7) 本実用新型の他の実用例である半蔵部底の構造を説明するための図である。

(実用の範囲)

1…内部リード部分、2…パンプ、3…チップ、4…側面図、5…カギリード部分、6…既存用フィン。

(図1)

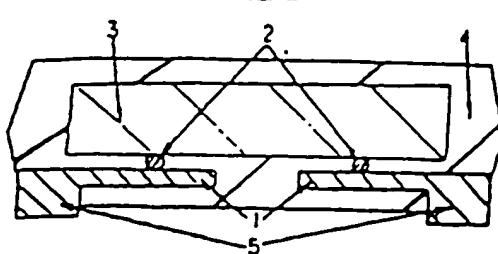


図1

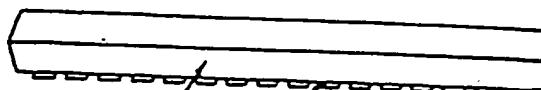
(図2)

図2

図2

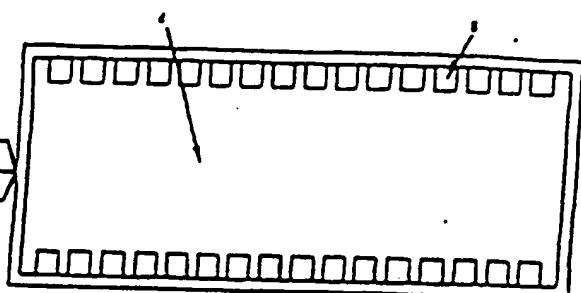
(図3)

図3



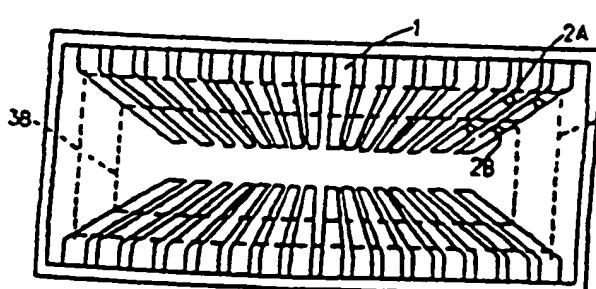
(図4)

図4



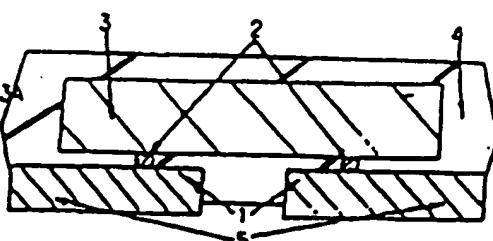
(図5)

図5



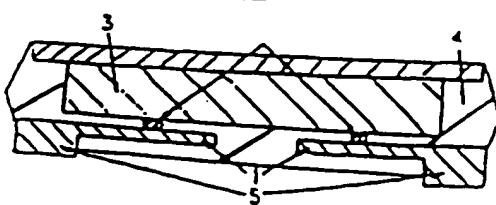
(図6)

図6



(図7)

図7



フロントページの記述

(1) 101.CI.

2020年 月内登録番号

F 1

2018.21/92

技術監修所

(2) 見開き 大谷 宏輔

東京都小平市上木本町6丁目20番1号

株式会社日立製作所半導体事業部内

[TITLE OF THE INVENTION]

Semiconductor Device

5

[CLAIMS]

1. A semiconductor device including a semiconductor chip, inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is partially protruded from a lower surface or an upper surface of the resin encapsulate.
- 15 2. The semiconductor device in accordance with claim 1, wherein the inner leads are electrically connected to the semiconductor chip by bumps, respectively.
- 20 3. A semiconductor device including a semiconductor chip, a plurality of inner leads electrically connected to the semiconductor chip, and a resin encapsulate adapted to encapsulate the semiconductor chip and the inner leads, wherein each of the inner leads is encapsulated at a portion of the thickness thereof while being exposed at the remaining portion thereof in such a fashion that it has an
- 25

5 encapsulated main lead surface serving as an electrical connection to the semiconductor chip, and an exposed main lead surface positioned opposite to the encapsulated main lead surface, the exposed main lead surface serving as an outer lead.

[DETAILED DESCRIPTION OF THE INVENTION]

[FIELD OF THE INVENTION]

10 The present invention relates to a technique effective if applied to semiconductor devices.

[DESCRIPTION OF THE PRIOR ART]

15 In conventional semiconductor devices, a semiconductor chip is typically connected with inner leads by means of wires or bumps. Such a semiconductor device has a structure in which outer leads are laterally protruded from an encapsulate.

[SUBJECT MATTERS TO BE SOLVED BY THE INVENTION]

20 After reviewing the prior art, the inventors have found the following problems. A down-sizing of recent system appliances using semiconductor devices has resulted in a requirement to reduce the size of circuit boards on which semiconductor devices are mounted. To this end,
25 attempts to reduce the size of semiconductor devices have

been made in order to achieve an improvement in the mounting efficiency of circuit boards resulting in a reduction in the size of those circuit boards.

5 In most cases, such a reduction in the size of semiconductor devices have been achieved by reducing the size of semiconductor chips. For such a reduction in the size of semiconductor devices, outer leads have not been the subject of interest. That is, there has been no attempt to reduce the area occupied by outer leads of a 10 semiconductor device on a circuit board. Since conventional semiconductor devices have a structure in which outer leads are laterally protruded from a resin encapsulate, they have a mounting area increased by the area of the outer leads laterally protruded from the resin encapsulate. As a result, the conventional semiconductor devices involve a problem in that the mounting efficiency 15 thereof on a circuit board is degraded.

An object of the invention is to provide a technique capable of improving the mounting efficiency of a 20 semiconductor device on a circuit board.

Other objects and novel features of the present invention will become more apparent after a reading of the following detailed description when taken in conjunction with the drawings.

25

[MEANS FOR SOLVING THE SUBJECT MATTERS]

A representative of inventions disclosed in this application will now be summarized in brief.

In a semiconductor device in which a semiconductor 30 chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, each of the

inner leads is partially protruded from a lower surface or
an upper surface of the resin encapsulate.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Now, the present invention will be described in detail in conjunction with embodiments thereof.

In the drawings associated with the embodiments, elements having the same function are denoted by the same reference numeral, and repeated description thereof will be omitted.

[EMBODIMENTS]

Fig. 1 is a view illustrating a semiconductor device having a structure according to an embodiment of the present invention. The semiconductor device according to the embodiment of the present invention shown in Fig. 1 has a rectangular structure. Fig. 2 is a side view of the semiconductor device when viewed at the shorter side of the rectangular structure. Fig. 3 is a side view of the semiconductor device when viewed at the longer side of the rectangular structure. Fig. 4 is a plan view of the semiconductor device when viewed at the bottom.

In Figs. 1 to 4, the reference numeral 1 denotes

inner lead portions, 2 bumps, 3 a chip, 4 a resin encapsulate, and 5 outer lead portions, respectively.

As shown in Fig. 1, the semiconductor device of the present embodiment includes leads having a stepped lead structure. Each lead has an inner lead portion 1 serving as an inner lead, and an outer lead portion 5 serving as an outer lead.

The stepped lead structure can be obtained by half-etching the inner lead portions 1 of the leads. Alternatively, the stepped lead structure may be obtained by bonding two lead sheets to each other in such a fashion that they define a step therebetween, and then cutting the bonded lead sheets.

Within the resin encapsulate 4, bumps 2, which may be made of, for example, solder, are provided on the inner lead portions 1, respectively. Through these bumps 2, the inner lead portions are electrically connected to the semiconductor chip 3. Bumps previously provided at the semiconductor chip 3 may also be used as means for electrically connecting the inner lead portions 1 to the semiconductor chip 3. Alternatively, wires may be used.

As shown in Figs. 2 to 4, the outer lead portions 5, which are protruded from the resin encapsulate 4, are mounted on a circuit board or the like while being in surface contact with the circuit board. Accordingly, it is

possible to reduce the mounting space of the semiconductor device by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices. Otherwise, this area may be used to
5 mount other elements.

Now, a lead frame included in the semiconductor device according to the present embodiment will be described in conjunction with Fig. 5.

In Fig. 5, the reference numeral 3A denotes a larger
10 semiconductor chip, 3B a smaller semiconductor chip, 2A bumps for coupling inner leads to the larger semiconductor chip, and 2B bumps for coupling the inner leads to the smaller semiconductor chip, respectively.

As shown in Fig. 5, the lead frame of the
15 semiconductor device according to the present embodiment has a structure in which inner leads extend radially around an area near the center of the lead frame. Accordingly, any one of the semiconductor chips having different sizes,
that is, the larger semiconductor chip 3A and smaller
20 semiconductor chip 3B indicated by phantom lines, can be connected with the inner lead portions 1 by shifting each pad position of the semiconductor chip 3A or 3B to a position where the semiconductor chip 3A or 3B can be connected to the inner leads 1, and providing a bump 2A or
25 2B at the shifted position. The electrical connection

100-400

between the inner leads and the semiconductor chip obtained by use of bumps as mentioned above provides an useful effect which cannot be expected in the case using wire connection. That is, one lead frame, which is configured 5 in accordance with the present embodiment, can be applied to a variety of semiconductor chips.

Referring to Figs. 6 and 7, other embodiments of the present invention are illustrated, respectively.

In a semiconductor device according to the embodiment 10 of Fig. 6, there is no step between the inner and outer lead portions 1 and 5 of each lead, as compared to the semiconductor device of Fig. 1. In this case, the semiconductor device includes leads each serving as both the inner and outer leads. In accordance with this 15 embodiment, about 2/3 of the thickness of each lead is encapsulated by resin. One main surface of each lead, namely, the encapsulated main surface (upper surface), serves as an electrical connection to the semiconductor chip. About 1/3 of the thickness of each lead is exposed from the resin. The other main surface of each lead, 20 namely, the exposed main surface, serves as a connection terminal to a mounting circuit board, for example, an outer lead.

In accordance with such a structure, it is possible 25 to secure the area, where the outer leads can be connected

to the circuit board, upon the mounting of the semiconductor device. Furthermore, a thin package can be produced. In accordance with this embodiment, it is also unnecessary to provide a stepped lead structure for the

5 lead frame.

In a semiconductor device according to the embodiment of Fig. 7, radiation fins 6 are provided on the semiconductor chip 3 shown in Fig. 1 in order to radiate heat generated from the semiconductor chip 3.

10 Although the above embodiments have been described as being applied to rectangular semiconductor devices, they may also be applied to square semiconductor devices. Also, the above embodiments have been described as being applied to a semiconductor device having a COL (Chip On Lead) structure to protrude outer leads thereof from the lower surface of the encapsulate. In the case of a semiconductor device having an LOC (Lead On Chip) structure, outer leads thereof are protruded from the upper surface of the encapsulate.

15
20 For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface

of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.

Although the preferred embodiments of the invention have been disclosed for illustrative purposes, those skilled in the art will appreciate that various modifications, additions and substitutions are possible, without departing from the scope and spirit of the invention as disclosed in the accompanying claims.

[EFFECTS OF THE INVENTION]

Effects obtained by a representative one of the inventions disclosed in this application will now be described in brief.

For a semiconductor device in which a semiconductor chip and inner leads electrically connected to the semiconductor chip are encapsulated by resin, the present invention can improve the mounting efficiency of the semiconductor device on a circuit board by protruding a portion of each inner lead from the lower or upper surface of the resin encapsulate in such a fashion that the outer leads of the semiconductor device are received in an area occupied by the resin encapsulate, thereby reducing the mounting area of the outer leads by the area of outer leads laterally protruded from a resin encapsulate in the case of conventional semiconductor devices.